

BEST AVAILABLE COPY

1/5/4

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04947494 **Image available**

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUB. NO.: 07-240094 [JP 7240094 A]

PUBLISHED: September 12, 1995 (19950912)

INVENTOR(s): KANEKO TETSUYA

OSAWA TAKASHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 06-028313 [JP 9428313]

FILED: February 25, 1994 (19940225)

INTL CLASS: [6] G11C-011/407; H01L-021/8242; H01L-027/108

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R131 (INFORMATION PROCESSING -- Microcomputers & Microprocessors)

ABSTRACT

PURPOSE: To obtain a semiconductor integrated circuit device in which variation of an internal power supply potential can be suppressed even if a power supply potential externally applied varies by driving an internal boosting circuit using a lowered potential of an internal lowering voltage circuit as a power supply for operation.

CONSTITUTION: A source follower type voltage lowering circuit 6 is controlled by a boosting potential .phi.P1 for a voltage lowering circuit, and lowers externally applied potential Vcc to internal lowering voltage potential .phi.D. A boosting circuit 5 for voltage lowering circuit boosts lowering voltage potential .phi.D to boosting potential .phi.P1 for a voltage lowering circuit. Also, a boosting circuit 7 for a word line driving system circuit is driven by a potential difference between lowering voltage potential .phi.D and ground potential GND, and boosts lowering voltage potential .phi.D to a boosting potential .phi.P2 for a word line driving system circuit 10. By using this constitution, operation of the internal boosting circuits 5, 7 is made hard to vary, even if the potential Vcc is varied. Further, since boosting potentials .phi.P1, .phi.P2 are generated from lowering voltage potential .phi.D, a range of a constant potential region of a boosting potential is widened, and operation margin of a device is enlarged.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-240094

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/407

H 0 1 L 21/8242

27/108

7210-4M

G 1 1 C 11/ 34

3 5 4 F

H 0 1 L 27/ 10

3 2 5 Q

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号

特願平6-28313

(22) 出願日

平成6年(1994)2月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 金子 哲也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 大沢 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

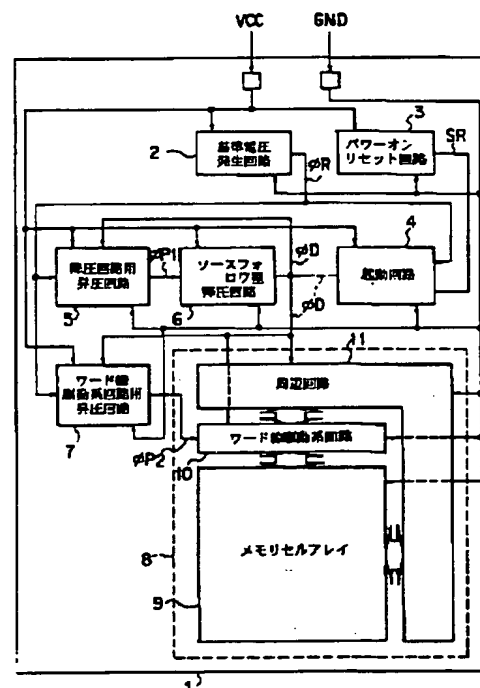
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 この発明は、外部から印加される電源電位が変動しても、内部電源電位の変動を抑制できる半導体集積回路装置を提供しようとするものである。

【構成】 集積回路部と、電位レベルの変動がある外部印加電位VCCを、ある電位レベルで制限して降圧電位φDに降圧する降圧回路と、降圧電位φDを電源に用いて駆動され、降圧電位φDを前記集積回路部の回路の動作電源に用いられる昇圧電位φPに昇圧する昇圧回路とを具備する。この構成であると、昇圧回路が、ある電位レベルで制限された降圧電位φDにより駆動されるので、電位VCCのレベルが変動しても、昇圧回路の動作が変化し難くなる。さらに降圧電位φDから昇圧電位φPを生成するので、昇圧電位φPの定電位領域の範囲が拡がり、装置の動作マージンが拡大する。



【特許請求の範囲】

【請求項1】 集積回路部と、

外部から印加され、電位レベルの変動がある第1の電位を、ある電位レベルで制限することによって電位変動が少ない定電位領域を得た第2の電位に変換する変換手段と、

前記第2の電位を電源に用いて駆動され、少なくとも前記集積回路部内の回路の動作電源に用いられる第3の電位を発生させる発生手段とを具備することを特徴とする半導体集積回路装置。

【請求項2】 前記変換手段は前記第1の電位を、ある電位レベルで制限する降圧回路であり、前記発生手段は前記第2の電位を電源に用いて駆動され、前記第3の電位を前記第2の電位の定電位領域を反映したまま昇圧する昇圧回路であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記昇圧回路はチャージポンプ回路であることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項4】 前記第2の電位は、前記昇圧回路の電源に用いられるとともに、前記集積回路部の他の回路の動作電源に用いられることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 前記集積回路部はダイナミック型RAMであり、前記第2の電位を電源とする集積回路は、前記ダイナミック型RAMの周辺回路であり、前記第3の電位を電源とする集積回路は、前記ダイナミック型RAMのワード線駆動系回路であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項6】 集積回路部と、
外部から印加され、電位レベルの変動がある第1の電位を、ある電位レベルで制限することによって電位変動が少ない定電位領域を得た第2の電位に変換する変換手段と、
前記第2の電位を電源に用いて駆動され、少なくとも前記集積回路部内の回路の動作電源に用いられる第3の電位を発生させる第1の発生手段と、
前記第3の電位を用いて、少なくとも前記集積回路部内の他の回路の動作電源に用いられる第4の電位を発生させる第2の発生手段とを具備することを特徴とする半導体集積回路装置。

【請求項7】 前記変換手段は前記第1の発生手段を起動させるための起動回路であり、前記第1の発生手段は、前記第2の発生手段が第4の電位を発生した後、前記第2の電位に代えて前記第4の電位を電源に用いて駆動されることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項8】 前記変換手段は前記第1の電位を、ある電位レベルで制限する降圧回路を含み、前記第1の発生手段は前記第2の電位を電源に用いて駆動され、前記第3

の電位を前記第2の電位の定電位領域を反映したまま昇圧する昇圧回路であり、前記第2の発生手段は、ドレインに前記第1の電位が印加され、ソースから前記第4の電位を出力する絶縁ゲート型FETを含むソースフォロワ型の降圧回路であり、その絶縁ゲート型FETのゲートには前記第3の電位が印加されることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項9】 前記第3の電位は、前記第4の電位に比べて前記絶縁ゲート型FETのしきい値分以上高く設定されていることを特徴とする請求項8に記載の半導体集積回路装置。

【請求項10】 前記集積回路部はダイナミック型RAMであり、前記第4の電位を電源とする集積回路は、前記ダイナミック型RAMの周辺回路であり、前記第3の電位を電源とする集積回路は、前記ダイナミック型RAMのワード線駆動系回路であることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項11】 集積回路部と、
外部から印加され、電位レベルの変動がある第1の電位を、ある電位レベルで制限することによって電位変動が少ない定電位領域を得た第2の電位に変換する変換手段と、

前記第2の電位を電源に用いて駆動され、第3の電位を発生させる第1の発生手段と、

前記第3の電位を用いて、少なくとも前記集積回路部内の回路の動作電源に用いられる第4の電位を発生させる第2の発生手段と、

前記第2の電位を電源に用いて駆動され、前記集積回路部内の他の回路の動作電源に用いられる第5の電位を発生させる第3の発生手段とを具備することを特徴とする半導体集積回路装置。

【請求項12】 前記集積回路部はダイナミック型RAMであり、前記第4の電位を電源とする集積回路は、前記ダイナミック型RAMの周辺回路であり、前記第5の電位を電源とする集積回路は、前記ダイナミック型RAMのワード線駆動系回路であることを特徴とする請求項11に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置に係わり、特に集積回路内の電源系統が改良された半導体集積回路に関する。

【0002】

【従来の技術】 現在のダイナミックランダムアクセスメモリ（DRAM）においては、外部印加電源をそのまま用いるよりもむしろ、集積回路自体で電圧を発生させることが望ましい。これは、集積回路内部で必要とされる電圧レベルが複数であっても、集積回路に接続される外部印加電源を単一にすることを可能にする。

【0003】 現在のDRAMでは外部印加電源電圧を単

一として、他に必要な電圧は集積回路内部で発生させる方法が取られている。内部電圧発生回路としては、基板電位ないしウェル電位を供給する基板電位発生回路、内部電源として用いる内部電源電圧発生回路、内部基準電位として用いる基準電位発生回路などがある。

【0004】内部電源として用いる電圧発生回路としては、昇圧回路と降圧回路とがある。これらの内部電圧発生回路は、外部電源電圧に対する集積回路の動作マージンの向上や信頼性の確保を狙いとして用いられる。特に、近年は、外部印加電源電圧が低電圧化される傾向にあり、昇圧回路を登載したDRAMが提案されてきている。

【0005】従来技術の構成例を図21(a)～(d)に示す。同図(a)に示す例は、内部電源電圧発生回路を用いない例で、ワード線駆動にはブートストラップ方式を用い、周辺回路は外部印加電源電圧をそのまま用いているものである。例えば1MビットDRAMや4MビットDRAMではこの方式が取られていた。

【0006】同図(b)に示す例は、周辺回路の電源として内部降圧電位発生回路の出力を用いる方法で、例えば16MビットDRAMではこの方式が取られていた。同図(c)と(d)とに示す例は、外部印加電源電圧の低電圧化に対応するために、ブートストラップ方式ではなく昇圧電位発生回路の出力をワード線駆動系回路の電源として用いるものである。これらのうち、(c)に示す例は、周辺回路の電源として外部印加電源電圧をそのまま用いるもので、(d)に示す例は、周辺回路の電源として内部降圧電位発生回路を用いるものである。これらの方式は例えば64MビットDRAMでの使用が考えられている。

【0007】

【発明が解決しようとする課題】前記のように、DRAMの周辺回路の電源として外部印加電源電圧よりも低い電圧を発生させる降圧電位発生回路を用いることや、ワード線駆動系回路の電源として外部印加電源電圧よりも高い電圧を発生させる昇圧電位発生回路を用いることは、従来からの技術である。

【0008】しかしながら、従来の内部電源電圧システムは、図22に示すように、昇圧回路は外部印加電位VCCにより駆動され、電位VCCを内部昇圧電位φPに昇圧する。また、降圧回路も同様にして、入力された電位VCCを内部降圧電位φDに降圧する。この構成であると、電位VCCの電位レベルが変動すると、内部昇圧電位φPおよび内部降圧電位φDの電位レベルまでもが一緒に変動する。

【0009】集積度が低く、また、動作速度が比較的遅い世代のDRAMでは、上記の変動は許容誤差の範囲であるが、今後の、64M、256M、1G、…という超大規模集積、および超高速動作の世代となるDRAMを考えれば、内部電源電圧の微弱な変動が、誤動作の原因

に充分になり得る。

【0010】この発明は、上記のような点に鑑みて為されたもので、その目的は、外部から印加される電源電位が変動しても、内部電源電位の変動を抑制できる半導体集積回路装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、この発明に係る半導体集積回路装置は、集積回路部と、外部から印加され、電位レベルの変動がある第1の電位を、ある電位レベルで制限することによって電位変動が少ない定電位領域を得た第2の電位に変換する変換手段と、この第2電位を電源に用いて駆動される、少なくとも前記集積回路の動作電源に用いられる第3の電位を発生させる発生手段とを具備することを特徴としている。

【0012】また、前記変換手段は第1の電位を、ある電位レベルで制限する降圧回路であり、前記発生手段は前記第2の電位を電源に用いて駆動され、前記第3の電位を前記第2の電位の定電位領域を反映したまま昇圧する昇圧回路であることを特徴としている。

【0013】また、この発明に係る半導体集積回路装置の他の態様では、集積回路部と、外部から印加され、電位レベルの変動がある第1の電位を、ある電位レベルで制限することによって電位変動が少ない定電位領域を得た第2の電位に変換する変換手段と、前記第2の電位を電源に用いて駆動され、少なくとも前記集積回路部内の回路の動作電源に用いられる第3の電位を発生させる第1の発生手段と、前記第3の電位を用いて、少なくとも前記集積回路部内の他の回路の動作電源に用いられる第4の電位を発生させる第2の発生手段とを具備することを特徴としている。

【0014】また、この発明に係る半導体集積回路装置のさらに他の態様では、集積回路部と、外部から印加され、電位レベルの変動がある第1の電位を、ある電位レベルで制限することによって電位変動が少ない定電位領域を得た第2の電位に変換する変換手段と、前記第2の電位を電源に用いて駆動され、第3の電位を発生させる第1の発生手段と、前記第3の電位を用いて、少なくとも前記集積回路部内の回路の動作電源に用いられる第4の電位を発生させる第2の発生手段と、前記第2の電位を電源に用いて駆動され、前記集積回路部内の他の回路の動作電源に用いられる第5の電位を発生させる第3の発生手段とを具備することを特徴としている。

【0015】

【作用】上記構成を有する半導体集積回路装置であると、少なくとも集積回路を動作させるための第3の電位を発生させる発生手段が、外部から印加される第1の電位を、ある電位レベルで制限することによって電位変動が少ない定電位領域を得た第2の電位を電源に用いて駆動される。即ち発生手段は、外部から印加される第1の

5

電位が変動しても、その動作電源には第2の電位が用いられているから、その動作状態は変化し難い。よって、発生手段からは、変動の少ない第3の電位を、定常的に発生させることができる。

【0016】さらに、変換手段が降圧回路であり、前記発生手段が前記第3の電位を前記第2の電位の定電位領域を反映したまま昇圧する昇圧回路であると、上記目的を達成できる上に、第1の電位が、ある電位レベルで制限した第2の電位を、その定電位領域を反映したまま昇圧することで第3の電位を得られる。このために、単に第1の電位を、ある電位レベルで制限するだけで定電位領域を得た電位を発生させるだけの装置よりも、第3の電位における定電位領域の範囲が広がる。よって、装置の動作マージンが拡大し、誤動作を、より発生し難くできる。このような昇圧ができる昇圧回路としては、チャージポンプ回路がある。

【0017】また、他の態様においても同様な作用が得られる。この他の態様において、前記第2の発生手段を、ドレインに前記第1の電位が印加され、ソースから前記第4の電位を出力する絶縁ゲート型FETを含むソースフォロワ型の降圧回路とし、その絶縁ゲート型FETのゲートに前記第3の電位を印加するようにする。この構成であると、まず、比較的単純に降圧回路を構成できる。

【0018】しかも、絶縁ゲート型FETを、第3の電位、即ち昇圧された電位で駆動する。このため、降圧電位 ϕD が有する定電位領域102の範囲が広くすることができ、動作マージンが拡大する。

【0019】さらに前記第3の電位を、前記降圧電位に比べてソースフォロワ型の絶縁ゲート型FETのしきい値分高くすると、前記降圧電位を、内部電源電位として理想的な、電位が低い時は外部から印加される第1の電位が低い時の変化率と同じ変化率を示し、電位が高い時は外部から印加される第1の電位が高い時の変化率より小さい変化率を示すように設定することができる。

【0020】また、さらに他の態様においても同様な作用が得られる上、集積回路への給電系統が二系統、即ち第3の電位の系統と第5の電位との二系統が設けられるので、第4の電位を発生させるにあたり、集積回路の影響を受けない。また、第1、第2の発生手段が設けられているので、第4の電位を発生させるための第3の電位と、集積回路用の第5の電位とをそれぞれ独立して設定することができる。

【0021】

【実施例】以下、この発明を実施例により説明する。この説明に際し、全ての図面において、同一の部分には同一の参照符号を付し、重複する説明は避けることにする。図1は、この発明の第1の実施例に係るダイナミック型RAMのブロック図である。

【0022】図1に示すように、ICチップ1内には、

6

外部印加電位VCCから基準電圧 ϕR を発生させる基準電圧発生回路2、外部印加電位VCC（外部電源）投入後、所定時間後にリセット信号SRを出力するパワーオンリセット回路3、基準電圧 ϕR から内部降圧電位 ϕD を、リセット信号SRが立ち下がるまで出力する起動回路4、降圧電位 ϕD と接地電位GNDとの電位差により駆動され、降圧電位 ϕD を降圧回路用昇圧電位 $\phi P1$ に昇圧する降圧回路用昇圧回路5、昇圧電位 $\phi P1$ により制御され、印加電位VCCを内部降圧電位 ϕD に降圧するソースフォロワ型降圧回路6、降圧電位 ϕD と接地電位GNDとの電位差により駆動され、降圧電位 ϕD をワード線駆動系回路用昇圧電位 $\phi P2$ に昇圧するワード線駆動系回路用昇圧回路7と、降圧電位 ϕD と接地電位GNDとの電位差、並びに昇圧電位 $\phi P2$ と接地電位GNDとの電位差により駆動される回路をそれぞれ含む集積回路部8とが設けられている。第1の実施例に係る装置はダイナミック型RAMであり、集積回路部8には、主要な回路として、メモセルアレイ9、ワード線駆動系回路10、周辺回路11が設けられている。

【0023】次に、その動作について説明する。外部電源を投入後、基準電圧発生回路2は基準電圧 ϕR を発生し、ほぼ同時にパワーオンリセット回路が“H”レベルのリセット信号SRを出力する。“H”レベルのリセット信号SRは起動回路4に入力され、また、基準電圧 ϕR は起動回路4、昇圧回路5および7にそれぞれ入力される。起動回路4は、基準電圧 ϕR の入力、並びに“H”レベルのリセット信号SRの入力を受けて導通し、リセット信号SRが“H”レベルの間、降圧電位 ϕD を出力し続ける。降圧電位 ϕD は、昇圧回路5および7、並びに集積回路部8（ワード線駆動系回路10、周辺回路11）に高電位電源として供給される。昇圧回路5および7は、降圧電位 ϕD の供給により、動作電源が印加される。よって導通し、昇圧電位 $\phi P1$ および $\phi P2$ をそれぞれ出力する。昇圧電位 $\phi P1$ はソースフォロワ型降圧回路6に入力され、昇圧電位 $\phi P2$ は集積回路部8（ワード線駆動系回路10）に高電位電源として供給される。降圧回路6は昇圧電位 $\phi P1$ が“H”レベルの間、導通し続け、印加電位VCCを降圧電位 ϕD に降圧し、降圧電位 ϕD を出力し続ける。ここで、パワーオンリセット回路3は、電源投入後から、降圧回路6が降圧電位 ϕD を出力するまでの時間に合わせてリセット信号SRを“H”レベルから“L”レベルに立ち下げる。起動回路4は、“L”レベルのリセット信号SRの入力を受けて遮断し、以後、降圧電位 ϕD は、起動回路4から、降圧回路6に代わって出力される。

【0024】次に、昇圧回路5および7の構成について説明する。図2は、図1に示す降圧回路用昇圧回路5、およびワード線駆動系回路用昇圧回路7のブロック図である。

【0025】図1に示す昇圧回路5および7の構成は、

7

ともに同一であるので、一つの図を参照して同時に説明する。図2に示すように、昇圧回路5および7は、基準電位 ϕ_R が入力され、昇圧回路5および7の出力である昇圧電位 ϕ_P を設定電位に制御するための電圧制御回路12と、降圧電位 ϕ_D と接地電位との電位差を動作電源とし、電圧制御回路12からの制御信号S0、BS0（先頭のBは反転信号を示す）により制御され、チャージポンプ回路のキャパシタを駆動するためのクロック信号CLKを出力する発振回路13と、降圧電位 ϕ_D と接地電位との電位差を動作電源とし、クロック信号CLKをチャージポンプ回路のキャパシタの駆動に適したクロック信号CLK0に変換するためのバッファ回路14と、降圧電位 ϕ_D と接地電位との電位差を動作電源とし、クロック信号CLK0により制御されて降圧電位 ϕ_D を昇圧電位 ϕ_P に昇圧して出力するチャージポンプ回路15と、昇圧電位 ϕ_P を電圧制御回路12にフィードバックさせるための帰還路16とにより構成されている。

【0026】次に、昇圧回路の各ブロックの回路構成を参照しつつ、その動作について説明する。図3は図2に示す電圧制御回路12の回路図である。

【0027】図3に示すように、電圧制御回路12は、主に電圧発生部17と、制御信号発生部18とにより構成されている。外部電源を投入後、基準電位 ϕ_R が、電圧発生部17のNチャネル型MOSFET（以下NMOSと称す）19のゲートに入力される。これにより、NMOS19が導通し、NMOS19のドレインが低電位となる。NMOS19のドレインからは、“L”レベルの内部電圧信号SCが取り出され、“L”レベルの信号SCは、制御信号発生部18のインバータ20の入力に供給される。インバータ20は、降圧電位 ϕ_D と接地電位との電位差により駆動される。インバータ20の電源端子に降圧電位 ϕ_D が供給されると、インバータ20は、“H”レベルの制御信号S0を出力する。また、信号S0は、インバータ21の入力に供給される。インバータ21も、インバータ20と同様に降圧電位 ϕ_D と接地電位との電位差により駆動される。インバータ21は、“L”レベルの制御信号BS0を出力する。

【0028】尚、基準電圧発生回路2についての具体的な回路は省略するが、基準電圧発生回路2は、一般に外部印加電源電圧に対する依存性の低い回路である。図4は図2に示す発振回路13の回路図である。

【0029】図4に示すように、発振回路13は、主に互いに直列接続された五段のCMOSインバータ22~26と、最終段のインバータ26の出力を、初段のインバータ22の入力に帰還させる帰還路27とにより構成されたリング発振器である。これら五段のCMOSインバータ22~26はそれぞれ、降圧電位 ϕ_D と接地電位との電位差により駆動される。

【0030】制御信号S0は、ソースを降圧電位 ϕ_D が供給される電源端子に接続し、ドレインを第二段のイン

8

バータ23の入力に接続したPMOS28のゲートに入力される。これと同時に制御信号S0は、ソースを接地端子に接続し、ドレインを初段のインバータ22のNMOS29のソースに接続したNMOS30のゲートに入力される。

【0031】また、制御信号BS0は、ソースを降圧電位 ϕ_D が供給される電源端子に接続し、ドレインを第二段のインバータ23のPMOS31のソースに接続したPMOS32のゲートに入力される。これと同時に制御信号BS0は、ソースを接地端子に接続し、ドレインを第三段のインバータ24の入力に接続したNMOS33のゲートに入力される。

【0032】ここで、制御信号S0が“H”レベル、BS0が“L”レベルの場合、PMOS28とNMOS33が遮断し、NMOS30とPMOS32が導通するので、五段のCMOSインバータ22~26にそれぞれ、動作電源が供給される。よって、発振回路13が活性化し、所定のクロック信号CLKを発振する。

【0033】図5は図2に示すバッファ回路14の回路図である。図5に示すように、バッファ回路14は、互いに直列接続された二段のインバータ33、34により構成されている。これら二段のインバータ33、34はそれぞれ、降圧電位 ϕ_D と接地電位との電位差により駆動される。

【0034】クロック信号CLKはインバータ34の入力に供給され、チャージポンプ回路15の駆動に適切なクロック信号CLK0変換されて、インバータ35から出力される。

【0035】図6は図2に示すチャージポンプ回路15の回路図である。図6に示すように、チャージポンプ回路15は、降圧電位 ϕ_D が供給される電源端子と昇圧電位 ϕ_P が生成される出力される出力端子との間に、互いに順方向接続となるように直列された二つのダイオード36および37と、ダイオード36のカソードとダイオード37のアノードとの間に一方の電極を接続し、他方の電極をクロック信号CLK0が供給される入力端子に接続したキャパシタ38と、ダイオード37のカソードに一方の電極を接続し、他方の電極を接地したキャパシタ39とにより構成されている。

【0036】クロック信号CLK0がキャパシタ38の他方の電極に入力されると、ダイオード37の出力ノードの電位が、降圧電位 ϕ_D よりも高くなり、昇圧電位 ϕ_P が生成される。この昇圧電位 ϕ_P は、図3に示す電圧制御回路12の電圧発生部17に帰還される。

【0037】図3に示すように、電圧発生部17には昇圧電位 ϕ_P が供給される電源端子と接地端子との間に直列接続された抵抗40および41が設けられている。抵抗40と抵抗41との相互接続点は、ソースを接地したNMOS42のゲートに接続される。

【0038】昇圧電位 ϕ_P は、抵抗40と抵抗41とによる抵抗分割を用いて変換電位 ϕ_S に電圧変換される。ここで、変換電位 ϕ_S は、基準電位 ϕ_R と比較される。NM

OS42は、昇圧電位 ϕP が設定された電位よりも低い場合に遮断し、一方、高い場合に導通する。

【0039】NMOS42が遮断している時は、電圧発生部17は“L”レベルの内部電圧信号SCを出力するので、上記してきたような動作が行われ、クロック信号CLK、並びにCLK0を発生させるので、チャージポンプ回路15は、降圧電位 ϕD を昇圧し続ける。

【0040】反対にNMOS42が導通した時、NMOS42は、ソースを印加電位VCCが供給される電源端子に接続し、ドレインをNMOS19のドレインに接続したPMOS43、並びにソースを印加電位VCCが供給される電源端子に接続し、ドレインをNMOS42のドレインに接続したPMOS44をそれぞれ導通させる。このために、内部電圧信号SCは“H”レベルとなり、制御信号S0は“L”レベル、BS0は“H”レベルとなる。制御信号S0は“L”レベル、BS0は“H”レベルとなると、図4に示す発振回路13のNMOS30、PMOS32は遮断し、PMOS28、NMOS33は導通する。よって、初段および第二段のインバータ22および23には動作電源が供給されなくなり、非活性化する。また、第三段のインバータ24の入力には、制御信号BS0が“H”レベルの間、“L”レベルの信号が入力されることになり、インバータ24は“H”レベルの信号を出力し続ける。よって、クロック信号CLKは発生せず、“H”レベルに固定される。よって、チャージポンプ回路15は、降圧電位 ϕD を昇圧しない。

【0041】以上のように、図1に示す昇圧回路5および7の構成は、ともに同一ではあるが、降圧回路駆動用の昇圧電位 $\phi P1$ と、ワード線駆動系回路用の昇圧電位 $\phi P2$ とをそれぞれ、別の値に設定することができる。この場合には、例えばバッファ回路14のトランジスタのサイズやインピーダンス、並びにチャージポンプ回路15のキャパシタのカップリング比などを、それぞれ最適な昇圧電位が得られるように調節すれば良い。

【0042】次に、ソースフォロワ型降圧回路6の構成について説明する。図7は、図1に示すソースフォロワ型降圧回路6のブロック図である。図7に示すように、降圧回路6は、ドレインを印加電位VCCが供給される電源端子に接続し、ソースから降圧電位 ϕD を出力する、ソースフォロワ型降圧回路のドライバとなるNMOS45により構成されている。NMOS45のゲートには昇圧回路5からの昇圧電位 $\phi P1$ が供給される。このソースフォロワ型の降圧回路6は、NMOS45のしきい値降下を利用して内部降圧電位を ϕD を発生させる機能を持つものである。また、降圧回路6の出力は降圧電位 ϕD となるが、電源投入時には動作しないために、起動回路4が付加されている。起動回路4は、電源投入時に降圧電位 ϕD を、電源投入時から降圧回路6が動作を始めるまでの間だけ発生させるためのものである。

【0043】次に、起動回路4の構成について説明す

る。図8は、図1に示す起動回路4の回路図である。起動回路4は、外部電源の投入時に、ソースフォロワ型降圧回路6が動作する以前に、降圧電位 ϕD を発生させるもので、基本的な構成はフィードバック型降圧回路に準じている。

【0044】外部電源投入後、パワーオンリセット回路3は、“H”レベルのリセット信号SRを出力する。

“H”レベルのリセット信号SRは、ソースを印加電位VCCが供給される電源端子に接続したPMOS46のゲート、ソースを接地端子に接続したNMOS47および48のゲートにそれぞれ供給される。よって、外部電源を投入した直後は、PMOS46が遮断し、NMOS47および48がそれぞれ導通する。

【0045】また、基準電圧発生回路2から基準電位 ϕR が、NMOS49のゲートに入力される。NMOS49のソースは、NMOS47のドレインに接続されている。これにより、NMOS49が導通することで、NMOS49のドレインが低電位となる。NMOS49のドレインからは、“L”レベルの内部電圧信号SC0が取り出される。“L”レベルの信号SC0は、ソースを印加電位VCCが供給される電源端子に接続し、ドレインを抵抗50の一端に接続したPMOS51のゲートに供給される。抵抗50の他端とNMOS48のドレインとの間には抵抗52が挿設されている。PMOS51は“L”レベルの内部電圧信号SC0がゲートに入力されることで導通する。よって、PMOS51のドレインと抵抗50との相互接続点から降圧電位 ϕD が出力される。さらに抵抗50と抵抗52との相互接続点には、ソースをNMOS47のドレインに接続したNMOS53のゲートが接続されている。降圧電位 ϕD は、抵抗50と抵抗52とによる抵抗分割を用いて変換電位 $\phi S0$ に電圧変換される。ここで、変換電位 $\phi S0$ は、基準電位 ϕR と比較される。NMOS53は、降圧電位 ϕD が設定された電位よりも低い場合に遮断する。これにより、“L”レベルの内部電圧信号SC0がNMOS49のドレインが出力され続け、PMOS51のインピーダンスを下げ、降圧電位 ϕD を設定された電位まで上げるように機能する。

【0046】反対に降圧電位 ϕD が設定された電位よりも高くなった場合には、NMOS53は導通する。NMOS42は、ソースを印加電位VCCが供給される電源端子に接続し、ドレインをNMOS49のドレインに接続したPMOS54、並びにソースを印加電位VCCが供給される電源端子に接続し、ドレインをNMOS53のドレインに接続したPMOS55をそれぞれ導通させる。このために、内部電圧信号SC0は“H”レベルとなり、PMOS51のインピーダンスを上げ、降圧電位 ϕD を設定された電位まで下げるように機能する。

【0047】パワーオンリセット回路3は、外部印加電源投入時には“H”レベル、しかる後、即ち図1に示した降圧回路6が降圧電位 ϕD を出力するようになった時

点で、“L”レベルとなるリセット信号SRを発生させる。リセット信号SRが“L”レベルとなると、PMOS46が導通し、PMOS51のゲートを高電位とし、PMOS51を遮断させる。さらにNMOS47および48を遮断させる。よって、起動回路4には動作電源の供給がなくなって、その動作が停止する。

【0048】次に、図1に示す集積回路部8の構成について説明する。図9は、図1に示すワード線駆動系回路10および周辺回路11の一部の回路図である。

【0049】図9に示すように、ダイナミック型RAMの周辺回路11の例として、ワード線ドライバ選択回路56とローデコーダ回路57とが示されている。また、ワード線駆動系回路10の例として、一本のワード線を昇圧電位 $\phi P2$ により駆動するワード線ドライバ回路が示されている。

【0050】ワード線ドライバ選択回路56は、複数のアドレス信号が入力されて、これらアドレス信号の組み合わせから、一つのデコード信号SDWLを出力するNANDゲート58により構成されている。同様に、ローデコーダ回路57は、複数のアドレス信号が入力されて、これらアドレス信号の組み合わせから、一つのデコード信号SWLを出力するNANDゲート59により構成されている。これらNANDゲート58および59は、降圧電位 ϕD と接地電位との電位差により駆動される。

【0051】デコード信号SDWLは、レベルシフタ60の入力、およびインバータ61の入力に供給される。デコード信号SDWLは、レベルシフタ60で、最大電位が、実質的に昇圧電位 $\phi P2$ とされた増幅信号SD1WLにレベルシフトされる。

【0052】ワード線ドライバ選択回路56が、“H”レベルのデコード信号SDWLを出力した時には、レベルシフタ60の出力から、PMOS62のソースに“H”レベルの増幅信号SD1WLが供給される。これにより、PMOS62とNMOS63とから成るCMOSインバータ64に動作電源が与えられ、インバータ64が活性化される。インバータ64が活性化された後、ローデコーダ回路57からのデコード信号SWLの“H”か“L”に応じて、図示せぬワード線へ、最大電位がほぼ昇圧電位 $\phi P2$ の、昇圧電位 $\phi P2$ WLが出力され、ワード線が昇圧電位で駆動される。

【0053】ワード線を駆動するドライバMOSFETが、Pチャネル型であると、外部印加電源電圧が低い場合にもワード線を十分に昇圧することができるから、近年注目されている方式である。そして、この場合には当然ながら、ワード線駆動系回路に電源として供給される昇圧電位 $\phi P2$ には、電位変動がなく安定したものが望ましい。

【0054】尚、デコード信号SWLも、レベルシフタ65で、最大電位が、実質的に昇圧電位 $\phi P2$ とされた増幅信号S1WLにレベルシフトされる。反対に、ワード

線ドライバ選択回路56が、“L”レベルのデコード信号SDWLを出力した時には、レベルシフタ60の出力から、PMOS62のソースには、“L”レベルの増幅信号SD1WLが供給される。これにより、CMOSインバータ64には動作電源がなくなり、インバータ64が非活性となる。この時、インバータ61は“H”レベルの信号を出力する。この“H”レベル信号は、ドレインをインバータ61に接続し、ソースを接地したNMOS66のゲートに入力される。よって、NMOS66が導通し、“L”レベルのデコード信号SDWLが出力されている間、インバータ64の出力を“L”レベルに固定する。このインバータ66は、降圧電位 ϕD と接地電位との電位差により駆動される。

【0055】図10は、図9に示すレベルシフタ61、65の回路図である。図9に示すレベルシフタ61、65の構成は、ともに同一であるので、一つの図を参照して同時に説明する。

【0056】図10に示すように、デコード信号SDWL（もしくはSWL）は、ソースを接地したNMOS67のゲート、並びにインバータ68の入力に供給される。

“H”レベルのデコード信号SDWL（もしくはSWL）がNMOS67のゲートに供給されると、NMOS67が導通し、ソースを昇圧電位 $\phi P2$ に接続したPMOS68のゲートを低電位とする。よって、PMOS68が導通し、最大電位が、ほぼ昇圧電位 $\phi P2$ の増幅信号SD1WL（もしくはS1WL）が出力される。

【0057】また、“L”レベルのデコード信号SDWL（もしくはSWL）がNMOS67のゲートに供給された時には、NMOS67は導通する。この時には、インバータ68が“H”レベルの信号を出力する。この“H”レベルの信号は、ソースを接地し、ドレインをPMOS68のドレインに接続したNMOS69のゲートに供給される。よって、NMOS69が導通し、“L”レベルのデコード信号SDWL（もしくはSWL）が出力されている間、レベルシフタ60（もしくは65）の出力を“L”レベルに固定する。このインバータ68は、降圧電位 ϕD と接地電位との電位差により駆動される。

【0058】上記第1の実施例により説明したダイナミック型RAMには、以下に説明する、重要な構成が含まれている。図11は図1に示すダイナミック型RAMの主要部分のみを示す概略的なブロック図である。

【0059】まず、内部昇圧回路5および7が、内部降圧回路6の降圧電位 ϕD を動作電源に用いて駆動される。昇圧回路5および7の動作電源を降圧電位 ϕD とする方式によれば、外部印加電位VCCが変動しても昇圧回路5および7の動作があまり変わらないようになる。即ち降圧電位 ϕD がある電位レベルで制限されることによって電位変動が少ない定電位領域を得ているからである。この定電位領域の範囲内での印加電位VCCの変動ならば、昇圧回路5および7の動作電源電圧は変わらない

い。よって、昇圧回路5および7自体の動作マージンを確保できる。

【0060】また、昇圧電位 ϕP が、降圧電位 ϕD を昇圧することで得られている。これは、外部電源電圧の変動による内部昇圧電位 ϕP の変動を防止できるばかりでなく、半導体集積回路装置を、広範囲の外部電源電圧で動作させることが可能になる。

【0061】図18は内部昇圧電圧の特性を示す図で、

(a) は従来の装置による内部昇圧電圧の特性図、

(b) はこの発明に係る装置による内部昇圧電圧の特性図である。図18(a)に示すように、外部電源電位 VCC を昇圧することで得た、内部昇圧電位 ϕP では、図中参照符号Aにより示されるように外部電源電位が $VCCa$ から $VCCb$ の範囲で変動したとすると、内部昇圧電位 ϕP は、 ϕPa から ϕPb の範囲で変動してしまう。

【0062】これを、図18(b)に示すように、外部電源電位 VCC を、ある電位レベルで制限することにより、IC内部における電源電圧の変化率が小さい領域、即ち定電位領域100を得た降圧電位 ϕD を得る。そして、この降圧電位 ϕD を、その定電位領域を反映したまま、昇圧して昇圧電位 ϕP を得る。このようにして得られた昇圧電位 ϕP では、IC内部における電源電圧の変化率が小さい領域(定電位領域)101を有している。このために、外部電源電位が $VCCa$ から $VCCb$ まで変動したとしても、定電位領域101の範囲内の変動ならば、昇圧電位 ϕP は変化しない。よって、外部電源電圧の変動による内部昇圧電位 ϕP の変動を防止できる。さらにこの構成であると、半導体集積回路装置を、例えば5Vを供給しても3.3Vを供給しても、誤動作することもなく、常に同じように動作させられる、という広範囲な外部電源電圧での動作をも実現可能となる。

【0063】また、昇圧回路5および7の電源を、降圧回路6の出力電位とすれば昇圧電位 ϕP を外部電源電圧 VCC 以下に設定することも可能となり、外部電源電圧 VCC が高い場合にも、その動作を保証することができることになる。

【0064】尚、従来の装置においても、昇圧電位 ϕP を発生させる昇圧回路を電圧制御回路で制御して、IC内部における昇圧電位 ϕP の変化率が小さい領域を作ることとも可能であるが、昇圧電位 ϕP は昇圧回路で発生させる電位なので昇圧回路の電源である電位 VCC より低く設定することはできず、ごく限られた領域でしか、昇圧電位 ϕP の変化率の小さい領域を作ることができない。さらには、昇圧回路の電源が電位 VCC の変動によって、昇圧回路の発振周波数や電流供給能力が変化する、という問題を生ずる。

【0065】また、第1の実施例に係る装置では、周辺回路駆動用降圧電位 ϕD を発生させるための昇圧電位 $\phi P1$ とワード線駆動用昇圧電位 $\phi P2$ とを独立に制御できる。

【0066】降圧電位 ϕD を発生させるための昇圧電位 $\phi P1$ は、動作速度や消費電流やタイミングマージンなどを考慮して電位設定されることが望ましく、また、ワード線駆動用の昇圧電位 $\phi P2$ はメモリセルのボーズ特性やトランスファートランジスタ特性や充放電電流や信頼性などを考慮して電位設定されることが望ましい。従って、昇圧電位 $\phi P1$ と昇圧電位 $\phi P2$ とは、独立に変えて最適化することで、DRAM全体としての特性を向上させることができる。

【0067】さらに、単にDC的な電位設定の自由度の点だけではなく、AC的な動作を考えた場合にも、昇圧回路を独立させることは有効である。なぜなら、ワード線駆動系回路10に供給される昇圧電位 $\phi P2$ は、ワード線系回路の動作に伴う充放電のために時間的に変動してしまう。この昇圧電位 $\phi P2$ をソースフォロア型降圧回路のドライバとなるMOSFETのゲートに接続した場合には、周辺回路11に供給される降圧電位もワード線駆動系回路の動作に伴って変動してしまい、動作マージンの低下を引き起こすからである。

【0068】この点、図11に示すように、ワード線駆動系回路の駆動用に設けられた昇圧回路7とは別に、ソースフォロア型降圧回路6のドライバMOSFETのゲートに電位を供給するための昇圧回路5を設けている。即ち、第1の実施例に係る装置では、昇圧電位を給電する給電系統が二つ設けられている。二つの給電系統が設けられると、回路構成が複雑になるが、ソースフォロア型降圧回路6に昇圧電位 $\phi P1$ を供給する昇圧回路7は電流能力のごく小さいもので構わないために、チップサイズの増大につながるようなものではない。従って、回路構成が複雑になるというデメリットよりも、降圧電位 ϕD を発生させるための昇圧電位 $\phi P1$ とワード線駆動用の昇圧電位 $\phi P2$ とを独立に設けることで、ワード線駆動系回路10の動作が、降圧電位 ϕD を発生させるための昇圧電位 $\phi P1$ の変動をもたらし、というメリットの方が大きい。

【0069】また、ソースフォロア型降圧回路6を用いることは、比較的単純に降圧回路を構成でき、さらに、IC内部の複数箇所に降圧回路を分散配置しやすいことから、IC中への集積に適している。

【0070】また、図7に示したように、ソースフォロワ型降圧回路6に、ソースフォロワ型のNMOS45を使用した場合には、昇圧電位 $\phi P1$ をNMOS45のゲートに供給することが好ましい。

【0071】図19は内部降圧電圧の特性を示す図で、

(a) は従来の装置による内部降圧電圧の特性図、

(b) はこの発明に係る装置による内部降圧電圧の特性図である。図19(a)に示すように、外部印加電圧 VCC を、ある電位で制限することで得た制限電位 VC をNMOS45のゲートに供給して降圧電位 ϕD を得た場合には、降圧電位 ϕD が有する定電位領域102の範囲が狭く

なる。定電位領域102の範囲を越えて外部電源電圧がVCCaまで変動したとすると、降圧電位 ϕD は、降圧電位 ϕDa に変動する。

【0072】この点、図19(b)に示すように、昇圧電位 ϕD をNMOS45のゲートに供給して降圧電位 ϕD を得た場合には、降圧電位 ϕD が有する定電位領域102の範囲が広くすることができ、動作マージンが拡大する。

【0073】また、内部電源電圧の理想としては、外部電源電圧VCCが低い時にこの電圧VCCと同じ変化率を示し、反対に外部電源電圧VCCが高い時にこの電圧VCCの変化率よりも小さい変化率を示すことである。即ち図17(b)に示す降圧電位 ϕD のような特性である。このような特性を実現するために、NMOS45のゲートに、昇圧電位 $\phi P1$ を供給する。そして、昇圧電位 $\phi P1$ を、NMOS45のしきい値分降下されることで得られた降圧電位 ϕD が、図17(b)に示す特性となるように、NMOS45のしきい値分以上に上げた値に設定する。

【0074】次に、この発明の第2の実施例に係るダイナミック型RAMについて説明する。図12はこの発明の第2の実施例に係るダイナミック型RAMの主要部分のみを示す概略的なブロック図である。

【0075】図12に示すように、ワード線を駆動するためのワード線駆動系回路10の電源として昇圧回路5から発生された昇圧電位 $\phi P2$ を用い、周辺回路11の電源として降圧回路70から発生された降圧電位 ϕD を用いた装置において、昇圧回路5の電源として降圧回路70から発生された降圧電位 ϕD を用いたものである。

【0076】このような構成であっても、昇圧回路5が、降圧電位 ϕD を電源に用いているので、第1の実施例に係る装置と同様、特に図16(b)を参照して説明したように、動作マージンを拡大できる、という効果を得ることができる。この説明で、既に述べたように、昇圧回路5から発生される昇圧電位 $\phi P2$ の出力は外部電源電圧よりも内部降圧電位の特性と同様に、定電位領域を持たせることが望ましいので、昇圧回路5の駆動電源は外部電源電圧VCCをそのまま用いるよりも、内部降圧回路の出力電位 ϕD を用いた方が適している。

【0077】また、図12に示される装置では、第1の実施例と同様に、昇圧電位を、降圧電位発生用の昇圧電位 $\phi P1$ と集積回路駆動用の昇圧電位 $\phi P2$ とに分割しているが、降圧回路用の昇圧回路7においては、必ずしも降圧電位 ϕD により駆動される必要はない。降圧回路70を駆動するだけであるからである。また、降圧回路70についても、ソースフォロワ型に限られることはなく、外部電源電位VCCを、ある電位レベルで制限されるものであれば良い。

【0078】次に、この発明の第3の実施例に係るダイナミック型RAMについて説明する。図13はこの発明の第3の実施例に係るダイナミック型RAMの主要部分の

みを示す概略的なブロック図である。

【0079】図13に示すように、昇圧電位 ϕP の給電系統は、必ずしも二系統設けられる必要はない。この構成であっても、昇圧回路5を、降圧電位 ϕD を電源に用いて駆動されることから、第1の実施例に係る装置と同様、特に図16(b)を参照して説明したように、動作マージンを拡大できる、という効果を得ることができる。

【0080】次に、この発明の第4の実施例に係るダイナミック型RAMについて説明する。図14はこの発明の第3の実施例に係るダイナミック型RAMの主要部分のみを示す概略的なブロック図である。

【0081】図14に示すように、昇圧電位 ϕP の給電系統を二系統設けず、かつ降圧回路を、ソースフォロワ型のものとしなくても良い。この構成であっても、昇圧回路5を、降圧電位 ϕD を電源に用いて駆動されることから、第1の実施例に係る装置と同様、動作マージンを拡大できる。

【0082】この発明は、上記第1～第4の実施例に限られるものではなく、様々な変形が可能である。図15はワード線駆動系回路のその他の例を示す回路図である。

【0083】図15に示すワード線駆動系回路と、図9に示したワード線駆動系回路との違いは、図9に示した回路では、ワード線ドライバ選択回路56から出力されたデコード信号SDWLをレベルシフト60により電圧信号SD1WLにレベルシフトする。そして、出力をワード線に接続したインバータ63を、レベルシフトされた電圧信号SD1WLにより駆動するようにして、出力 $\phi P2WL$ を出力するようにしている。

【0084】これに対して、図15に示す回路では、ワード線ドライバ選択回路56からの、レベルシフトされたデコード信号BSD1WL(デコード信号SDWLの反転信号)と一方の入力とした、NORゲート70を設けている。NORゲート70の他方の入力は、ローデコード回路57からの、レベルシフトされたデコード信号BS1WL(デコード信号SDWLの反転信号)である。NORゲート70は、デコード信号BSD1WL、BS1WLがともに“L”レベルの時のみ、“H”レベルの信号を出力する。この“H”レベルの信号は、インバータ71により“L”レベルとされる。この“L”レベルの信号は、インバータ64に入力され、その出力信号 $\phi 2WL$ を“H”レベルとする。このように、変形されても良い。

【0085】また、上記実施例では明示されていないが、周辺回路11には、ワード線駆動用昇圧回路 $\phi P2$ の出力で駆動されるものも含まれている。例としては図16や図17に示す周辺回路11である。また、デコード用のNAND、例えば図9や図15に示したNAND58および59に対応するNANDを構成するPMOSのゲートに、図10に示したようなレベルシフト回路によって、電圧 $\phi P2$ の振幅を有する信号を入力する一方、NMOSのゲートに電圧 ϕD の振幅を有する信号を入力するものもあ

17

る。さらに、特に図示しないが、周辺回路11には外部電源電圧VCCで駆動される回路も含まれている。

【0086】また、昇圧回路の一部を、外部電源電圧VCCで駆動する場合もある。例えば図12に示す構成とした時、降圧回路用の昇圧回路7などは、外部電源電圧VCCで駆動されても良い。

【0087】また、図1に示した降圧回路6に、図8に示した起動回路4と同様のフィードバック型降圧回路を適用しても良い。フィードバック型降圧回路を用いた場合には、降圧回路用の昇圧回路は不要である。

【0088】また、起動回路4については、第1の実施例に係る装置のように、起動回路4を必要とする構成の時のみ、付加されれば良い。尚、起動回路4は、基本的に降圧回路である。

【0089】また、第1の実施例に係る装置は、比較的単純な構成を持つダイナミック型RAMを例としているが、他の構成を持つダイナミック型RAMにも、この発明を適用することができる。例えばダイナミック型RAMにおいて、スタンドバイ時（待機時）用とアクティブ時（動作時）用とで、それぞれ異なった昇圧回路を設けたものがあるが、この構成にも、この発明は適用できる。

【0090】さらに、この発明は、ダイナミック型RAMばかりでなく、DRAM以外の他の半導体記憶装置、例えばEEPROMなどに、内部降圧電位発生回路と内部昇圧電位発生回路の双方を備えた時、この発明は適用できる。さらにメモリを内蔵したマイクロプロセッサにも適用できる。

【0091】さらには、記憶装置ばかりでなく、ロジックLSIにも適用できる。なぜならば、上記実施例では、以下に説明する効果が得られているためである。図20は、内部電源電圧の特性を示す図で、(a)は従来の装置による内部電源電圧の特性図、(b)はこの発明に係る装置による内部電源電圧の特性図である。

【0092】内部電源電圧 ϕ を設定するために、外部電源電位VCCの電位を制限すれば、図20(a)に示すように、定電位領域103を得ることができる。これに対して、図20(b)に示すように、外部電源電位VCCを電位を制限し、かつその制限された電位 ϕ_L を昇圧して、内部電源電圧 ϕ を設定すれば、定電位領域103の範囲をより拡張できる。よって、半導体集積回路装置の動作マージンを確保する上で有効である。

【0093】さらに、図20(a)に示す方式であると、内部電源電圧 ϕ が、外部電源電圧VCC以下の電圧にしただけでなく、外部電源電圧VCC以上にもでき、様々な内部電源電圧を設定することも可能となる。よって、半導体集積回路装置内に設けられた、複数の回路ブロック、個々の目的に応じて、電源電圧をそれぞれ設定

18

することも可能となる。この構成でも、外部電源電圧VCCの変動しても、上記内部電源電圧 ϕ は変動し難いことは勿論である。

【0094】以上、この発明は、外部単一電源であって、昇圧回路と降圧回路の双方をチップ内部に備えた半導体集積回路での有効な電源電圧システムを提供することができ、広範囲の外部電源電圧VCCでの動作を保証に有効である。

【0095】

10 【発明の効果】以上説明したように、この発明によれば、外部から印加される電源電位が変動しても、内部電源電位の変動を抑制できる半導体集積回路装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施例に係るダイナミック型RAMのブロック図。

【図2】図2は図1に示す昇圧回路のブロック図。

【図3】図3は図2に示す電圧制御回路の回路図。

【図4】図4は図2に示す発振回路の回路図。

20 【図5】図5は図2に示すバッファ回路の回路図。

【図6】図6は図2に示すチャージポンプ回路の回路図。

【図7】図7は図1に示すソースフォロワ型降圧回路の回路図。

【図8】図8は図1に示す起動回路の回路図。

【図9】図9は図1に示すワード線駆動系回路および周辺回路の一部の回路図。

【図10】図10は図9に示すレベルシフタの回路図。

30 【図11】図11は図1に示すダイナミック型RAMの主要部分のみを示す概略的なブロック図。

【図12】図12はこの発明の第2の実施例に係るダイナミック型RAMの主要部分のみを示す概略的なブロック図。

【図13】図13はこの発明の第3の実施例に係るダイナミック型RAMの主要部分のみを示す概略的なブロック図。

【図14】図14はこの発明の第4の実施例に係るダイナミック型RAMの主要部分のみを示す概略的なブロック図。

40 【図15】図15はワード線駆動系回路のその他の例を示す回路図。

【図16】図16はワード線駆動系回路のその他の例を示す回路図。

【図17】図17はワード線駆動系回路のその他の例を示す回路図。

【図18】図18は内部昇圧電圧の特性を示す図で、(a)は従来の装置による内部昇圧電圧の特性図、(b)はこの発明に係る装置による内部昇圧電圧の特性図。

50 【図19】図19は内部降圧電圧の特性を示す図で、

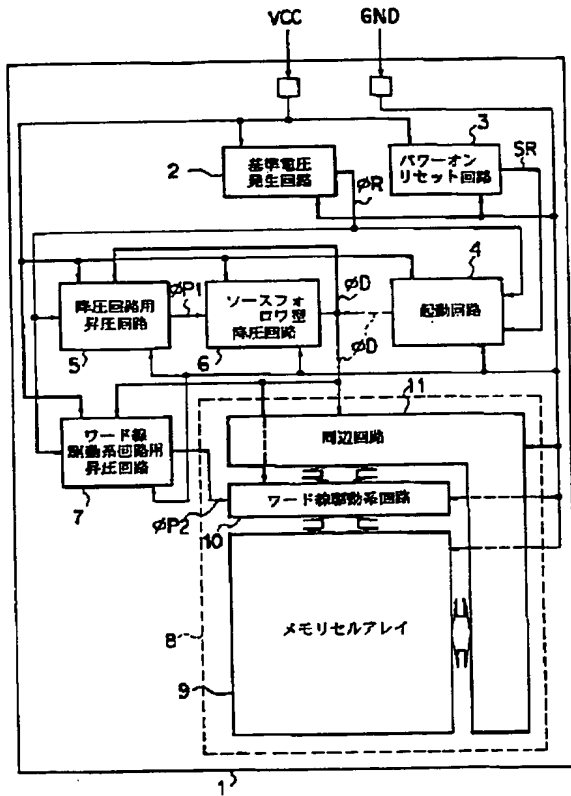
19

(a) は従来の装置による内部降圧電圧の特性図、
(b) はこの発明に係る装置による内部降圧電圧の特性図。

【図20】図20は内部電源電圧の特性を示す図で、
(a) は従来の装置による内部電源電圧の特性図、
(b) はこの発明に係る装置による内部電源電圧の特性図。

【図21】図21は従来のダイナミック型RAMの方式を示す図で、(a) 図はブートストラップ方式を示す図、
(b) 図はブートストラップ方式で周辺回路を降圧電位により駆動する方式を示す図、(c) 図はワード線を昇圧電位により駆動する方式を示す図、(d) 図はワード線を昇圧電位により駆動する方式で周辺回路を降圧電位により駆動する方式を示す図。

【図1】



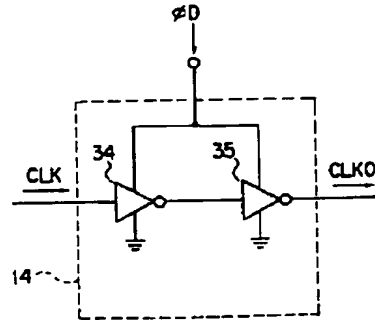
20

【図22】図22は従来のダイナミック型RAMの内部電源システムを示す図。

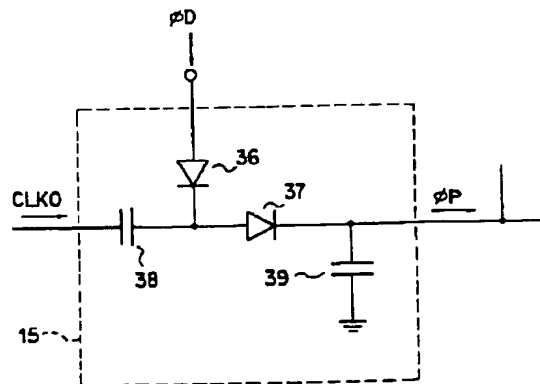
【符号の説明】

1…1Cチップ、2…基準電圧発生回路、3…パワーオンリセット回路、4…起動回路、5…降圧回路用昇圧回路、6…ソースフォロワ型降圧回路、7…ワード線駆動系回路用昇圧回路、8…集積回路部、9…メモリセルアレイ、10…ワード線駆動系回路、11…周辺回路、12…電圧制御回路、13…発振回路、14…バッファ回路、15…チャージポンプ回路、16…帰還路、17…電圧発生部、18…制御信号発生部、22, 23, 24, 25, 26…CMOSインバータ、45…Nチャネル型MOSFET、56…ワード線ドライバ選択回路、57…ローデコーダ。

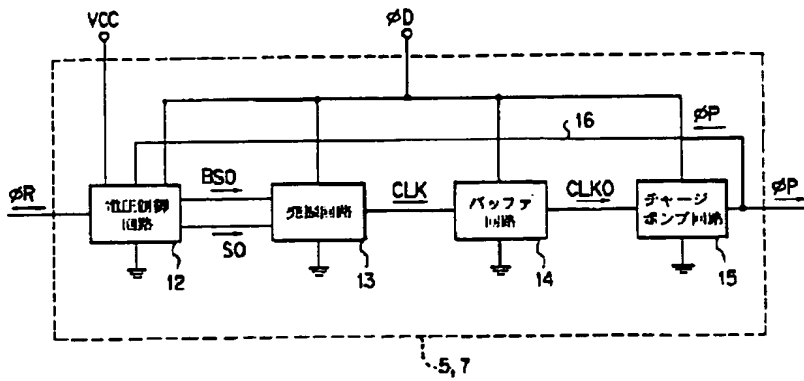
【図5】



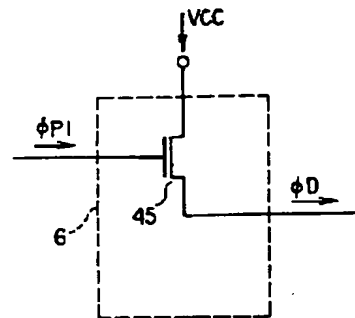
【図6】



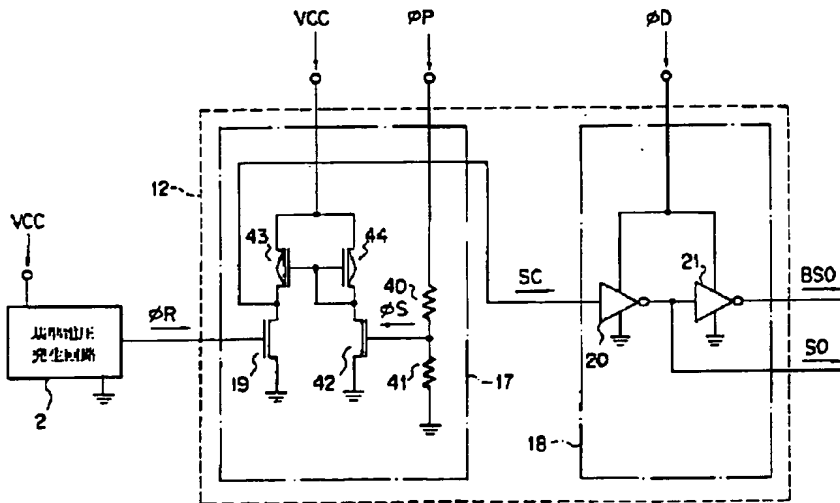
【図2】



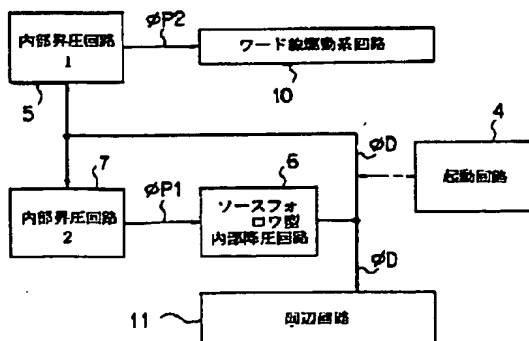
【図7】



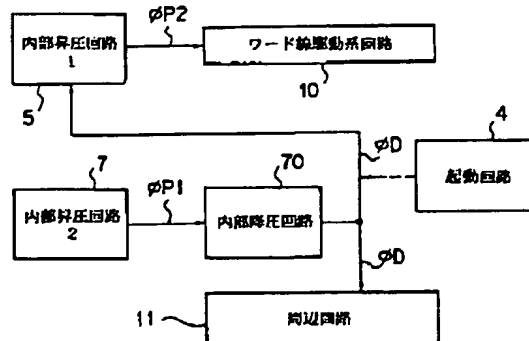
【図3】



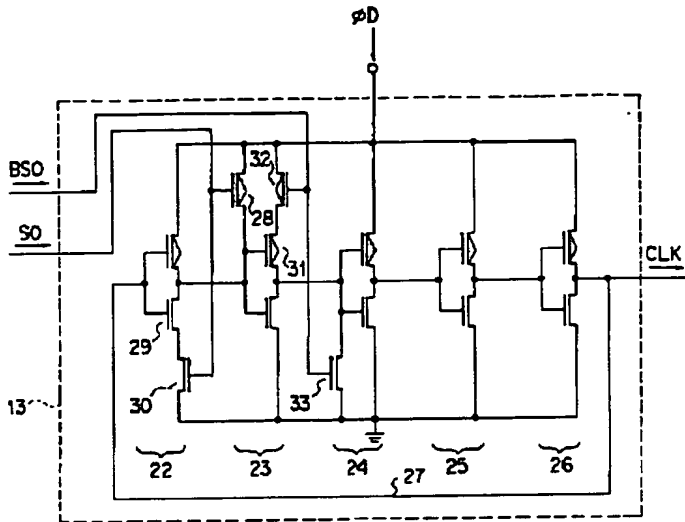
【図11】



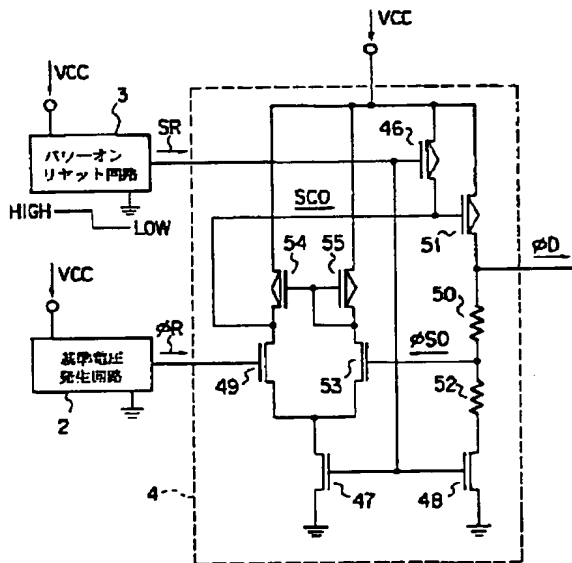
【図12】



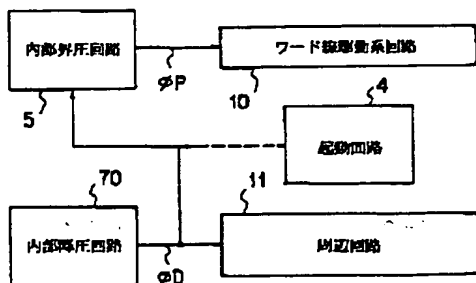
【図4】



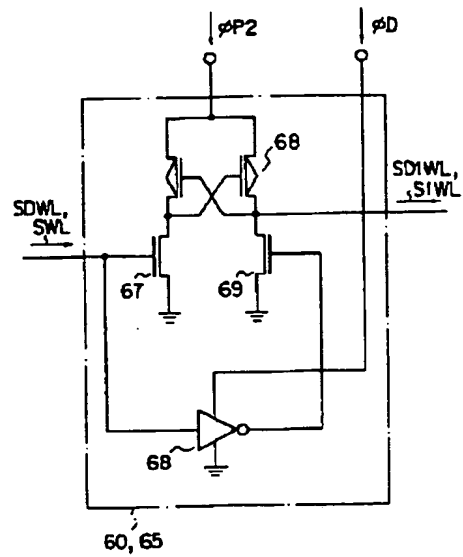
【図8】



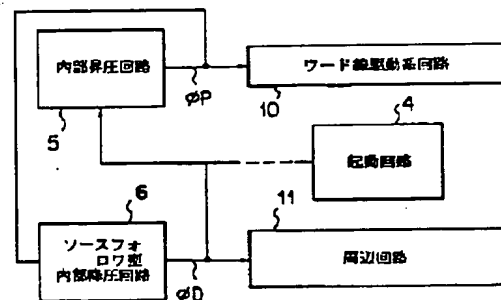
【図14】



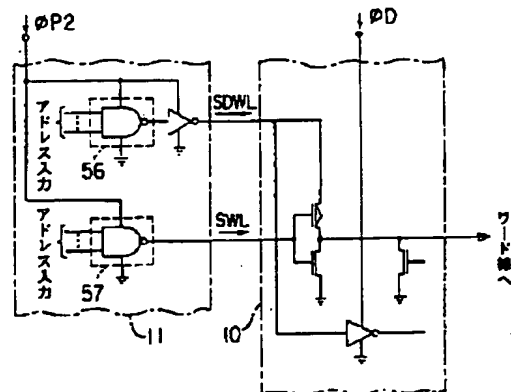
【図10】



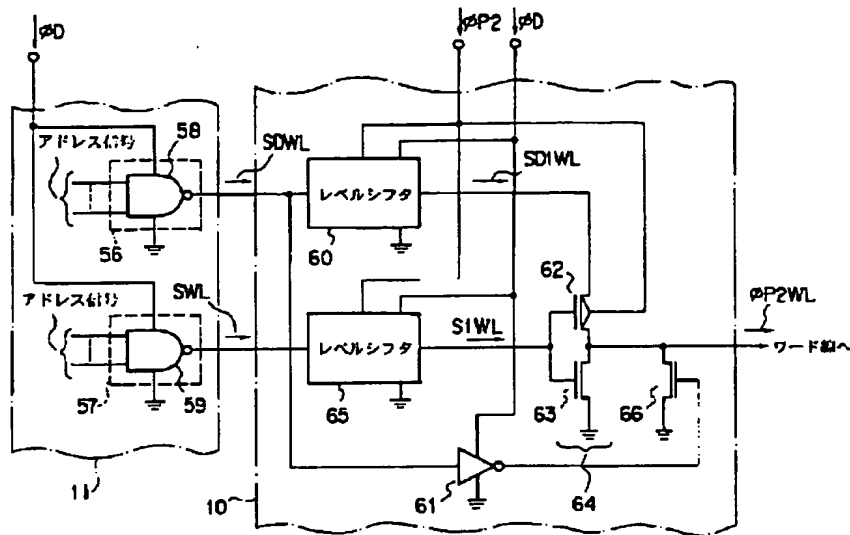
【図13】



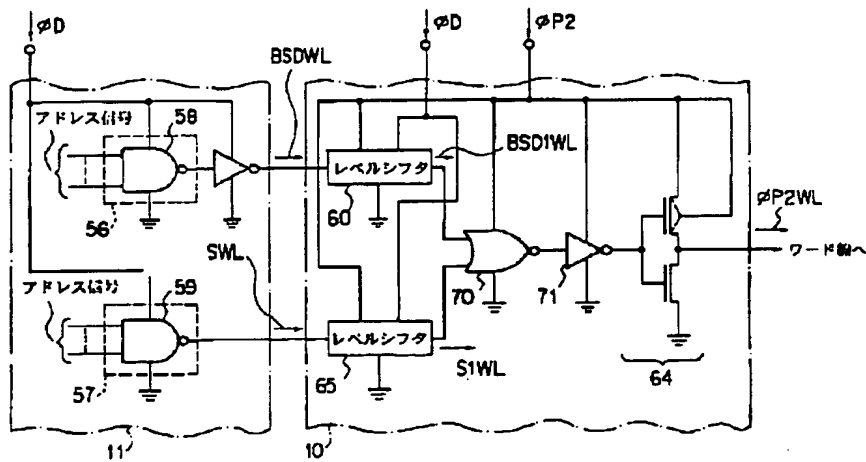
【図16】



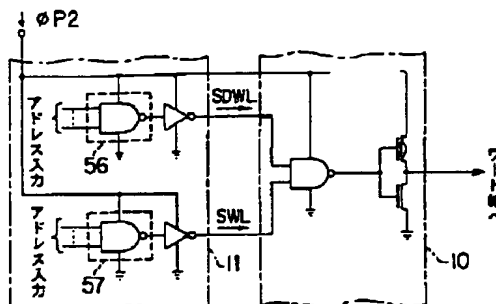
【図9】



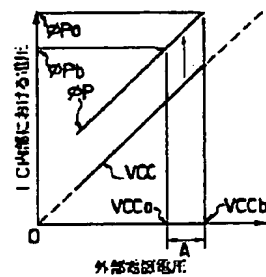
【図15】



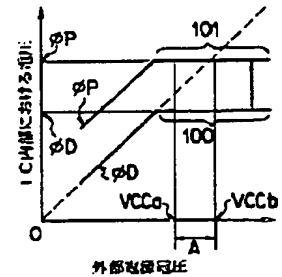
【図17】



【図18】

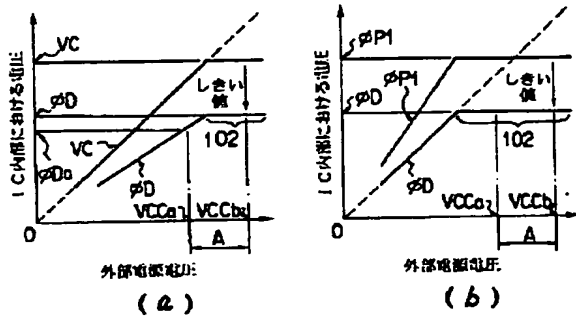


(a)

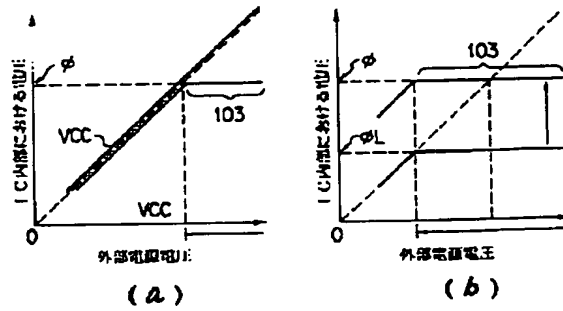


(b)

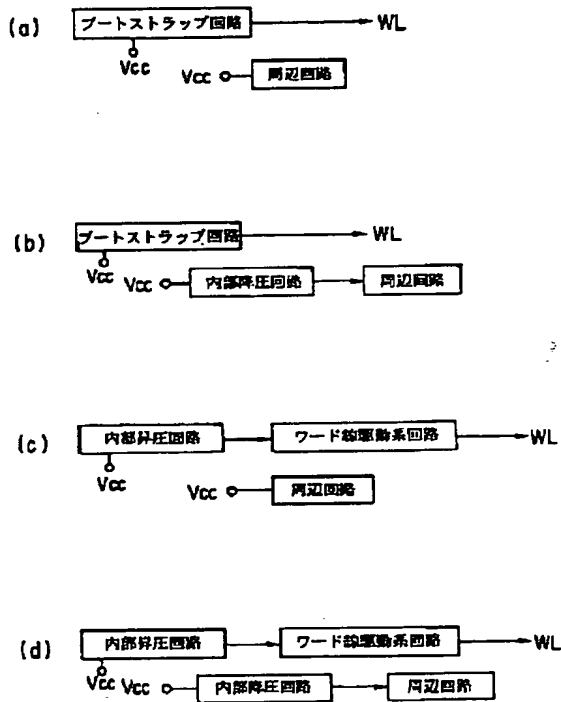
【図19】



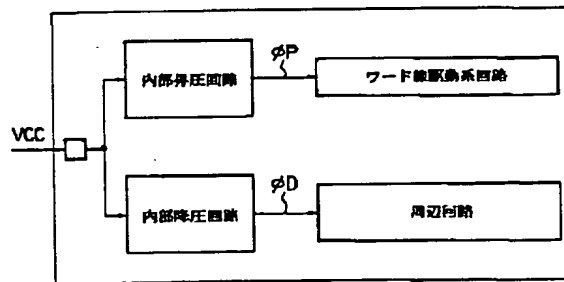
【図20】



【図21】



【図22】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.